

## TRAITE DE COOPERATION EN MATIERE DE BREVETS

PCT

Expéditeur: le BUREAU INTERNATIONAL

NOTIFICATION DE L'ENREGISTREMENT  
D'UN CHANGEMENT(règle 92bis.1 et  
instruction administrative 422 du PCT)

Destinataire:

GUERIN, Michel  
Thales Propriété Intellectuelle  
Dépt. Brevets  
13, avenue du Président Salvador  
Allende  
F-94117 Arcueil Cedex  
FRANCE

Date d'expédition (jour/mois/année) 02 mai 2001 (02.05.01)	NOTIFICATION IMPORTANTE
Référence du dossier du déposant ou du mandataire 61822	
Demande internationale no PCT/FR00/02065	Date du dépôt international (jour/mois/année) 18 juillet 2000 (18.07.00)

1. Les renseignements suivants étaient enregistrés en ce qui concerne:

☒ le déposant      ☐ l'inventeur      ☐ le mandataire      ☐ le représentant commun

Nom et adresse THOMSON-CSF SEXTANT Aérodrome de Villacoublay F-78140 Vélizy Villacoublay FRANCE	Nationalité (nom de l'Etat) FR	Domicile (nom de l'Etat) FR
	no de téléphone	
	no de télécopieur	
	no de téléimprimeur	

2. Le Bureau international notifie au déposant que le changement indiqué ci-après a été enregistré en ce qui concerne:

☐ la personne      ☒ le nom      ☐ l'adresse      ☐ la nationalité      ☐ le domicile

Nom et adresse THALES AVIONICS S.A. Aérodrome de Villacoublay F-78140 Vélizy Villacoublay FRANCE	Nationalité (nom de l'Etat) FR	Domicile (nom de l'Etat) FR
	no de téléphone	
	no de télécopieur	
	no de téléimprimeur	

3. Observations complémentaires, le cas échéant:

L'adresse du mandataire a également été changée.

4. Une copie de cette notification a été envoyée:

☒ à l'office récepteur      ☐ aux offices désignés concernés  
☐ à l'administration chargée de la recherche internationale      ☒ aux offices élus concernés  
☒ à l'administration chargée de l'examen préliminaire international      ☐ autre destinataire:

Bureau international de l'OMPI 34, chemin des Colombettes 1211 Genève 20, Suisse no de télécopieur (41-22) 740.14.35	Fonctionnaire autorisé: Philippe Bécamel no de téléphone (41-22) 338.83.38
---	--

**THIS PAGE BLANK (USPTO)**

## TRAITE DE COOPERATION EN MATIERE DE BREVETS

PCT

## NOTIFICATION D'ELECTION

(règle 61.2 du PCT)

Expéditeur: le BUREAU INTERNATIONAL

Destinataire:

Commissioner  
 US Department of Commerce  
 United States Patent and Trademark  
 Office, PCT  
 2011 South Clark Place Room  
 CP2/5C24  
 Arlington, VA 22202  
 ETATS-UNIS D'AMERIQUE  
 en sa qualité d'office élu

<b>Date d'expédition (jour/mois/année)</b> 09 avril 2001 (09.04.01)	<b>Référence du dossier du déposant ou du mandataire</b> 61822
<b>Demande internationale no</b> PCT/FR00/02065	<b>Date de priorité (jour/mois/année)</b> 30 juillet 1999 (30.07.99)
<b>Date du dépôt international (jour/mois/année)</b> 18 juillet 2000 (18.07.00)	
<b>Déposant</b> ROBERT, Philippe	

1. L'office désigné est avisé de son élection qui a été faite:

☒ dans la demande d'examen préliminaire international présentée à l'administration chargée de l'examen préliminaire international le:

13 décembre 2000 (13.12.00)

☐ dans une déclaration visant une élection ultérieure déposée auprès du Bureau international le:

2. L'élection ☒ a été faite

☐ n'a pas été faite

avant l'expiration d'un délai de 19 mois à compter de la date de priorité ou, lorsque la règle 32 s'applique, dans le délai visé à la règle 32.2b).

Bureau international de l'OMPI  
 34, chemin des Colombettes  
 1211 Genève 20, Suisse

no de télécopieur: (41-22) 740.14.35

Fonctionnaire autorisé

Henrik Nyberg

no de téléphone: (41-22) 338.83.38

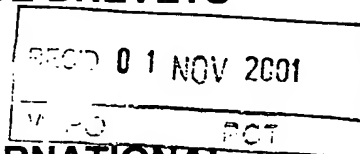
**THIS PAGE BLANK (USPTO)**

# TRAITE DE COOPERATION EN MATIERE DE BREVETS

## PCT

### RAPPORT D'EXAMEN PRELIMINAIRE INTERNATIONAL

(article 36 et règle 70 du PCT)





Référence du dossier du déposant ou du mandataire 61822	<b>POUR SUITE A DONNER</b> voir la notification de transmission du rapport d'examen préliminaire international (formulaire PCT/IPEA/416)	
Demande internationale n° PCT/FR00/02065	Date du dépôt international (jour/mois/année) 18/07/2000	Date de priorité (jour/mois/année) 30/07/1999
Classification internationale des brevets (CIB) ou à la fois classification nationale et CIB H01L21/768		
Déposant THALES AVIONICS S.A.et al.		

1. Le présent rapport d'examen préliminaire international, établi par l'administration chargée de l'examen préliminaire international, est transmis au déposant conformément à l'article 36.
2. Ce RAPPORT comprend 4 feuilles, y compris la présente feuille de couverture.
  - ☒ Il est accompagné d'ANNEXES, c'est-à-dire de feuilles de la description, des revendications ou des dessins qui ont été modifiées et qui servent de base au présent rapport ou de feuilles contenant des rectifications faites auprès de l'administration chargée de l'examen préliminaire international (voir la règle 70.16 et l'instruction 607 des Instructions administratives du PCT).

Ces annexes comprennent 3 feuilles.

3. Le présent rapport contient des indications relatives aux points suivants:
  - I ☒ Base du rapport
  - II ☐ Priorité
  - III ☐ Absence de formulation d'opinion quant à la nouveauté, l'activité inventive et la possibilité d'application industrielle
  - IV ☐ Absence d'unité de l'invention
  - V ☒ Déclaration motivée selon l'article 35(2) quant à la nouveauté, l'activité inventive et la possibilité d'application industrielle; citations et explications à l'appui de cette déclaration
  - VI ☐ Certains documents cités
  - VII ☐ Irrégularités dans la demande internationale
  - VIII ☐ Observations relatives à la demande internationale

Date de présentation de la demande d'examen préliminaire internationale 13/12/2000	Date d'achèvement du présent rapport 30.10.2001
Nom et adresse postale de l'administration chargée de l'examen préliminaire international:  Office européen des brevets D-80298 Munich Tél. +49 89 2399 - 0 Tx: 523656 epmu d Fax: +49 89 2399 - 4465	Fonctionnaire autorisé Mahr v.Staszewski,G. N° de téléphone +49 89 2399 2279 

**THIS PAGE BLANK (USPTO)**

# RAPPORT D'EXAMEN PRÉLIMINAIRE INTERNATIONAL

Demande internationale n° PCT/FR00/02065

## I. Bas du rapport

1. En ce qui concerne les **éléments** de la demande internationale (*les feuilles de remplacement qui ont été remises à l'office récepteur en réponse à une invitation faite conformément à l'article 14 sont considérées dans le présent rapport comme "initialement déposées" et ne sont pas jointes en annexe au rapport puisqu'elles ne contiennent pas de modifications (règles 70.16 et 70.17)*):

### Description, pages:

1-10 version initiale

### Revendications, N°:

1-10 reçue(s) le 30/08/2001 avec la lettre du 30/08/2001

### Dessins, feuilles:

1/3-3/3 version initiale

2. En ce qui concerne la **langue**, tous les éléments indiqués ci-dessus étaient à la disposition de l'administration ou lui ont été remis dans la langue dans laquelle la demande internationale a été déposée, sauf indication contraire donnée sous ce point.

Ces éléments étaient à la disposition de l'administration ou lui ont été remis dans la langue suivante: , qui est :

- ☐ la langue d'une traduction remise aux fins de la recherche internationale (selon la règle 23.1(b)).
  - ☐ la langue de publication de la demande internationale (selon la règle 48.3(b)).
  - ☐ la langue de la traduction remise aux fins de l'examen préliminaire internationale (selon la règle 55.2 ou 55.3).
3. En ce qui concerne les **séquences de nucléotides ou d'acide aminés** divulguées dans la demande internationale (le cas échéant), l'examen préliminaire internationale a été effectué sur la base du listage des séquences :
- ☐ contenu dans la demande internationale, sous forme écrite.
  - ☐ déposé avec la demande internationale, sous forme déchiffrable par ordinateur.
  - ☐ remis ultérieurement à l'administration, sous forme écrite.
  - ☐ remis ultérieurement à l'administration, sous forme déchiffrable par ordinateur.
  - ☐ La déclaration, selon laquelle le listage des séquences par écrit et fourni ultérieurement ne va pas au-delà de la divulgation faite dans la demande telle que déposée, a été fournie.
  - ☐ La déclaration, selon laquelle les informations enregistrées sous déchiffrable par ordinateur sont identiques à celles du listage des séquences Présenté par écrit, a été fournie.

4. Les modifications ont entraîné l'annulation :

**THIS PAGE BLANK (USPTO)**



**RAPPORT D'EXAMEN  
PRÉLIMINAIRE INTERNATIONAL**

Demande internationale n° PCT/FR00/02065

- ☐ de la description, pages :
- ☐ des revendications, n<sup>os</sup> :
- ☐ des dessins, feuilles :

5. ☐ Le présent rapport a été formulé abstraction faite (de certaines) des modifications, qui ont été considérées comme allant au-delà de l'exposé de l'invention tel qu'il a été déposé, comme il est indiqué ci-après (règle 70.2(c)) :

*(Toute feuille de remplacement comportant des modifications de cette nature doit être indiquée au point 1 et annexée au présent rapport)*

6. Observations complémentaires, le cas échéant :

**V. Déclaration motivée selon l'article 35(2) quant à la nouveauté, l'activité inventive et la possibilité d'application industrielle; citations et explications à l'appui de cette déclaration**

1. Déclaration

Nouveauté	Oui : Revendications 1-10
	Non : Revendications
Activité inventive	Oui : Revendications 1-10
	Non : Revendications
Possibilité d'application industrielle	Oui : Revendications 1-10
	Non : Revendications

2. Citations et explications  
**voir feuille séparée**

**THIS PAGE BLANK (USPTO)**

**C oncernant le point V**

**Déclaration motivée selon l'article 35(2) quant à la nouveauté, l'activité inventive et la possibilité d'application industrielle; citations et explications à l'appui de cette déclaration**

1. La combinaison des étapes décrite dans la revendication 1 n'est pas comprise dans l'état de la technique disponible et n'en découle pas à l'évidence.

En outre, la combinaison des caractéristiques décrite dans la revendication 9 n'est pas comprise dans l'état de la technique et n'en découle pas de manière évidente.

Les revendications 1 et 9 remplissent donc les conditions énoncées dans les articles 33.1-33.3 PCT.

**THIS PAGE BLANK (USPTO)**

## REVENDEICATIONS

1. - Procédé de fabrication de connexions conductrices  
5 traversantes entre la face avant (2) et la face arrière (3) d'un substrat (1),  
caractérisé en ce qu'il comprend les étapes consistant :
- à creuser dans le substrat (1), du côté de la face arrière (3),  
des cavités (5) ayant une profondeur ( $P_d$ ) et une section déterminées pour  
délimiter par ces cavités des plots (4) de section déterminée destinés à  
10 assurer la conduction électrique entre les deux faces (2, 3),
  - à combler les cavités (5) avec un matériau diélectrique (7),  
pour isoler le plot du reste du substrat et pour solidariser le plot avec le  
substrat,
  - à creuser la face avant du substrat en regard de chaque plot  
15 pour le rendre débouchant et ainsi transformer le plot en connexion  
conductrice traversante,
  - et à matérialiser les points de contact (10) en regard de chaque  
face débouchante de chaque plot (4) en déposant sur ces faces un matériau  
conducteur (11) isolé du substrat.
- 20
2. - Procédé de fabrication de connexions conductrices  
traversantes entre la face avant (2) et la face arrière (3) d'un substrat (1)  
selon la revendication 1, caractérisé en ce que le comblement des cavités (5)  
consiste :
- 25 - à déposer le matériau diélectrique (7) dans les cavités (5),
  - à retirer, de la surface du substrat (1), les débordements du  
dépôt du matériau diélectrique (7) en amincissant la face arrière (3) du  
substrat (1) jusqu'à découvrir les plots (4).
- 30
3. - Procédé de fabrication de connexions conductrices  
traversantes entre la face avant (2) et la face arrière (3) d'un substrat (1)  
selon la revendication 1, caractérisé en ce qu'il consiste, après délimitation  
des plots (4) et avant le comblement des cavités (5),
- à métalliser les plots (4) en effectuant le dépôt d'une couche  
35 conductrice (6) sur les plots.

**THIS PAGE BLANK (USP 10)**

## 12

4. - Procédé de fabrication de connexions conductrices traversant s entre la face avant (2) et la face arrière (3) d'un substrat (1) selon la revendication 3, caractérisé en ce que le comblement des cavités (5) consiste :

- 5           - à déposer le matériau diélectrique (7) dans les cavités (5),
- à retirer, de la surface du substrat (1), les débordements du dépôt du matériau diélectrique (7) en amincissant la face arrière (3) du substrat (1) jusqu'à découvrir les plots (4),
- à retirer la couche conductrice (6), de la surface du substrat (1),
- 10       par un amincissement des faces (2, 3) métallisées du substrat (1).

5. - Procédé de fabrication de connexions conductrices traversantes entre la face avant (2) et la face arrière (3) d'un substrat (1) selon l'une quelconque des revendications 1 à 4, caractérisé en ce qu'il

15       consiste :

- à amincir le substrat (1) jusqu'à découvrir le matériau diélectrique contenu dans les cavités (5) pour rendre les plots (4) débouchants sur la face avant (2) du substrat (1).

20           6. - Procédé de fabrication de connexions conductrices traversantes entre la face avant (2) et la face arrière (3) d'un substrat (1) selon l'une quelconque des revendications 1 et 2, caractérisé en ce qu'il consiste :

- à creuser la face avant (2) du substrat (1) en regard de chaque
- 25       plot jusqu'à atteindre le matériau diélectrique (7) contenu dans les cavités (5) pour rendre les plots (4) débouchants sur la face avant (2) du substrat (1).

7. - Procédé de fabrication de connexions conductrices traversantes entre la face avant (2) et la face arrière (3) d'un substrat (1) selon l'une des revendications 1 à 6, caractérisé en ce que la matérialisation des points de contacts (10) consiste :

30

- à déposer une couche isolante (8) du côté (2, 3) des faces débouchantes des plots (4),

**THIS PAGE BLANK (USPTO)**



## 13

- à ouvrir une zone de contact (9) en regard de chaque face débouchante des plots (4) par masquage et gravure de la couche isolante (8),

5 - à déposer une couche conductrice (11) du côté (2, 3) des faces débouchantes des plots (4),

- à découper les points de contact (10) par masquage et gravure de la couche conductrice (11).

10 8. - Procédé de fabrication de connexions conductrices traversantes entre la face avant (2) et la face arrière (3) d'un substrat (1) selon l'une quelconque des revendications 1 à 7, caractérisé en ce que le matériau diélectrique (7) de comblement est du verre.

15 9. - Substrat (1) de silicium équipé de connexions conductrices traversantes entre sa face avant (2) et sa face arrière (3), caractérisé en ce que les connexions conductrices sont des plots de silicium s'étendant sur toute la hauteur du substrat, entourés par un matériau diélectrique qui les délimite et qui les maintient solidaires du substrat, ces plots débouchant sur les deux faces du substrat et des points de contact étant formés en regard de  
20 chaque face débouchante de chaque plot par un matériau conducteur isolé du substrat..

25 10. Substrat selon la revendication 9, caractérisé en ce que les plots de silicium sont revêtus sur toute leur hauteur d'une métallisation conductrice elle-même entourée par le matériau diélectrique.

**THIS PAGE BLANK (USPTO)**

# TRAITE DE COOPERATION EN MATIERE DE BREVETS

## PCT

### RAPPORT DE RECHERCHE INTERNATIONALE

(article 18 et règles 43 et 44 du PCT)

Référence du dossier du déposant ou du mandataire <b>61822</b>	<b>POUR SUITE A DONNER</b> voir la notification de transmission du rapport de recherche internationale (formulaire PCT/ISA/220) et, le cas échéant, le point 5 ci-après	
Demande internationale n° <b>PCT/FR 00/ 02065</b>	Date du dépôt international (jour/mois/année) <b>18/07/2000</b>	(Date de priorité (la plus ancienne) (jour/mois/année) <b>30/07/1999</b>
Déposant  <b>THOMSON-CSF SEXTANT</b>		

Le présent rapport de recherche internationale, établi par l'administration chargée de la recherche internationale, est transmis au déposant conformément à l'article 18. Une copie en est transmise au Bureau international.

Ce rapport de recherche internationale comprend 3 feuilles.

☒ Il est aussi accompagné d'une copie de chaque document relatif à l'état de la technique qui y est cité.

**1. Base du rapport**

- a. En ce qui concerne la **langue**, la recherche internationale a été effectuée sur la base de la demande internationale dans la langue dans laquelle elle a été déposée, sauf indication contraire donnée sous le même point.
- ☐ la recherche internationale a été effectuée sur la base d'une traduction de la demande internationale remise à l'administration.
- b. En ce qui concerne les **séquences de nucléotides ou d'acides aminés** divulguées dans la demande internationale (le cas échéant), la recherche internationale a été effectuée sur la base du listage des séquences :
- ☐ contenu dans la demande internationale, sous forme écrite.
- ☐ déposée avec la demande internationale, sous forme déchiffrable par ordinateur.
- ☐ remis ultérieurement à l'administration, sous forme écrite.
- ☐ remis ultérieurement à l'administration, sous forme déchiffrable par ordinateur.
- ☐ La déclaration, selon laquelle le listage des séquences présenté par écrit et fourni ultérieurement ne vas pas au-delà de la divulgation faite dans la demande telle que déposée, a été fournie.
- ☐ La déclaration, selon laquelle les informations enregistrées sous forme déchiffrable par ordinateur sont identiques à celles du listage des séquences présenté par écrit, a été fournie.

2. ☐ Il a été estimé que certaines revendications ne pouvaient pas faire l'objet d'une recherche (voir le cadre I).

3. ☐ Il y a absence d'unité de l'invention (voir le cadre II).

**4. En ce qui concerne le titre,**

- ☒ le texte est approuvé tel qu'il a été remis par le déposant.
- ☐ Le texte a été établi par l'administration et a la teneur suivante:

**5. En ce qui concerne l'abrégé,**

- ☒ le texte est approuvé tel qu'il a été remis par le déposant
- ☐ le texte (reproduit dans le cadre III) a été établi par l'administration conformément à la règle 38.2b). Le déposant peut présenter des observations à l'administration dans un délai d'un mois à compter de la date d'expédition du présent rapport de recherche internationale.

**6. La figure des dessins à publier avec l'abrégé est la Figure n°**

- ☒ suggérée par le déposant.
- ☐ parce que le déposant n'a pas suggéré de figure.
- ☐ parce que cette figure caractérise mieux l'invention.

**5**

☐ Aucune des figures n'est à publier.

**THIS PAGE BLANK (USPTO)**

# RAPPORT DE RECHERCHE INTERNATIONALE

Demande Internationale No

FR 00/02065

**A. CLASSEMENT DE L'OBJET DE LA DEMANDE**  
CIB 7 H01L21/768 H01L23/48

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

**B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE**

Documentation minimale consultée (système de classification suivi des symboles de classement)

CIB 7 H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

INSPEC, EPO-Internal, PAJ

**C. DOCUMENTS CONSIDERES COMME PERTINENTS**

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	EP 0 926 726 A (ST MICROELECTRONICS SRL) 30 juin 1999 (1999-06-30) figures 16-18	1, 10-12
A	US 4 978 639 A (CHAN SIMON S ET AL) 18 décembre 1990 (1990-12-18) le document en entier	1, 10-12



Voir la suite du cadre C pour la fin de la liste des documents



Les documents de familles de brevets sont indiqués en annexe

\* Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

14 septembre 2000

Date d'expédition du présent rapport de recherche internationale

21/09/2000

Nom et adresse postale de l'administration chargée de la recherche internationale  
Office Européen des Brevets, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Fonctionnaire autorisé

Königstein, C

**THIS PAGE BLANK (USPTO)**

C.(suite)-DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	<p>GULDAN A ET AL: "METHOD FOR PRODUCING VIA-CONNECTIONS IN SEMICONDUCTOR WAFERS USING A COMBINATION OF PLASMA AND CHEMICAL ETCHING"</p> <p>IEEE TRANSACTIONS ON ELECTRON DEVICES,US,IEEE INC. NEW YORK, vol. ED-30, no. 10, 1 octobre 1983 (1983-10-01), pages 1402-1403, XP002048887</p> <p>ISSN: 0018-9383</p> <p>le document en entier</p> <p>-----</p>	1, 10-12

**THIS PAGE BLANK (USPTO)**



# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

FR 00/02065

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP, 0926726	A	30-06-1999	NONE	
US 4978639	A	18-12-1990	NONE	

**THIS PAGE BLANK (USPTO)**

10/030157

Translation

PATENT COOPERATION TREATY

PCT

## INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference 61822	<b>FOR FURTHER ACTION</b> See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/FR00/02065	International filing date (day/month/year) 18 July 2000 (18.07.00)	Priority date (day/month/year) 30 July 1999 (30.07.99)
International Patent Classification (IPC) or national classification and IPC H01L 21/768		
Applicant THALES AVIONICS S.A.		

<p>1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.</p> <p>2. This REPORT consists of a total of <u>4</u> sheets, including this cover sheet.</p> <p><input checked="" type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).</p> <p>These annexes consist of a total of <u>3</u> sheets.</p>	
<p>3. This report contains indications relating to the following items:</p> <p>I <input checked="" type="checkbox"/> Basis of the report</p> <p>II <input type="checkbox"/> Priority</p> <p>III <input type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicability</p> <p>IV <input type="checkbox"/> Lack of unity of invention</p> <p>V <input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement</p> <p>VI <input type="checkbox"/> Certain documents cited</p> <p>VII <input type="checkbox"/> Certain defects in the international application</p> <p>VIII <input type="checkbox"/> Certain observations on the international application</p>	

RECEIVED  
 MAY 17 2002  
 TECHNOLOGY CENTER 2800

Date of submission of the demand 13 December 2000 (13.12.00)	Date of completion of this report 30 October 2001 (30.10.2001)
Name and mailing address of the IPEA/EP	Authorized officer
Facsimile No.	Telephone No.

**THIS PAGE BLANK (USPTO)**

# INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/FR00/02065

## I. Basis of the report

### 1. With regard to the elements of the international application:\*

- ☐ the international application as originally filed
- ☒ the description:  
 pages \_\_\_\_\_ 1-10 \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☒ the claims:  
 pages \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, as amended (together with any statement under Article 19  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_ 1-10 \_\_\_\_\_, filed with the letter of \_\_\_\_\_ 30 August 2001 (30.08.2001)
- ☒ the drawings:  
 pages \_\_\_\_\_ 1/3-3/3 \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_
- ☐ the sequence listing part of the description:  
 pages \_\_\_\_\_, as originally filed  
 pages \_\_\_\_\_, filed with the demand  
 pages \_\_\_\_\_, filed with the letter of \_\_\_\_\_

### 2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language \_\_\_\_\_ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

### 3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

### 4. ☐ The amendments have resulted in the cancellation of:

- ☐ the description, pages \_\_\_\_\_
- ☐ the claims, Nos. \_\_\_\_\_
- ☐ the drawings, sheets/fig \_\_\_\_\_

### 5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).\*\*

\* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

\*\* Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

**THIS PAGE BLANK (USPTO)**

# INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/FR 00/02065

## V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

### 1. Statement

Novelty (N)	Claims	1-10	YES
	Claims		NO
Inventive step (IS)	Claims	1-10	YES
	Claims		NO
Industrial applicability (IA)	Claims	1-10	YES
	Claims		NO

### 2. Citations and explanations

The combination of steps described in Claim 1 is not included in the available prior art and cannot be derived in an obvious manner therefrom.

What is more, the combination of features described in Claim 9 is not included in the prior art and cannot be derived in an obvious manner therefrom.

It follows that Claims 1 and 9 fulfil the requirements of PCT Article 33(1) to 33(3).

**THIS PAGE BLANK (USPTO)**



# INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 00/02065

## A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 H01L21/768 H01L23/48

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)

INSPEC, EPO-Internal, PAJ

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 926 726 A (ST MICROELECTRONICS SRL) 30 June 1999 (1999-06-30) figures 16-18	1, 10-12
A	US 4 978 639 A (CHAN SIMON S ET AL) 18 December 1990 (1990-12-18) the whole document	1, 10-12
	-/--	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

### \* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"8" document member of the same patent family

Date of the actual completion of the International search

14 September 2000

Date of mailing of the international search report

21/09/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3018

Authorized officer

Königstein, C

**THIS PAGE BLANK (USPTO)**

# INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 00/02065

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>GULDAN A ET AL: "METHOD FOR PRODUCING VIA-CONNECTIONS IN SEMICONDUCTOR WAFERS USING A COMBINATION OF PLASMA AND CHEMICAL ETCHING"</p> <p>IEEE TRANSACTIONS ON ELECTRON DEVICES,US,IEEE INC. NEW YORK, vol. ED-30, no. 10, 1 October 1983 (1983-10-01), pages 1402-1403, XP002048887</p> <p>ISSN: 0018-9383</p> <p>the whole document</p> <p>-----</p>	1,10-12

**THIS PAGE BLANK (USPTO)**

# INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/FR 00/02065

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0926726	A	30-06-1999	NONE	
US 4978639	A	18-12-1990	NONE	

THIS PAGE BLANK (USPTO)

CLAIMS

REPLACED BY  
ART 34 AMDT

1. A method of fabricating conducting through-connections between the front face (2) and the rear face (3) of a substrate (1), characterized in that it consists:

- in hollowing into the substrate (1), from the rear-face (3) side, cavities (5) having a depth ( $P_d$ ) and a cross section which are defined so as to delimit studs (4) of defined cross section which are intended to provide for electrical conduction between the two faces (2, 3) and

- in filling in the cavities (5) with a dielectric material (7).

2. The method of fabricating conducting through-connections between the front face (2) and the rear face (3) of a substrate (1) as claimed in claim 1, characterized in that the filling of the cavities (5) consists:

- in depositing the dielectric material (7) in the cavities (5),

- in removing, from the surface of the substrate (1), the overflows of the deposit of dielectric material (7) by thinning the rear face (3) of the substrate (1) until the studs (4) are uncovered.

3. The method of fabricating conducting through-connections between the front face (2) and the rear face (3) of a substrate (1) as claimed in claim 1, characterized in that it consists, after delimiting the studs (4) and before filling in the cavities (5):

- in metallizing the studs (4) by depositing a conducting layer (6) on the studs.

4. The method of fabricating conducting through-connections between the front face (2) and the rear face (3) of a substrate (1) as claimed in claim 3, characterized in that the filling-in of the cavities (5) consists:

- in depositing the dielectric material (7) in the cavities (5),





- in removing, from the surface of the substrate (1), the overflows of the deposit of the dielectric material (7) by thinning the rear face (3) of the substrate (1) until the studs (4) are uncovered,

5        - in removing the conducting layer (6) from the surface of the substrate (1), by thinning of the metallized faces (2, 3) of the substrate (1).

5.       The method of fabricating conducting through-connections between the front face (2) and the rear  
10      face (3) of a substrate (1) as claimed in any one of claims 1 to 4, characterized in that it consists:

        - in thinning the substrate (1) until the dielectric material contained in the cavities (5) is uncovered so as to make the studs (4) show through on  
15      the front face (2) of the substrate (1).

6.       The method of fabricating conducting through-connections between the front face (2) and the rear face (3) of a substrate (1) as claimed in either of claims 1 and 2, characterized in that it consists:

20       - in hollowing the front face (2) of the substrate (1) opposite each stud until the dielectric material (7) contained in the cavities (5) is reached, so as to make the studs (4) show through on the front face (2) of the substrate (1).

25      7.       The method of fabricating conducting through-connections between the front face (2) and the rear face (3) of a substrate (1) as claimed in any one of claims 1 to 6, characterized in that it consists:

        - in physically forming the points (10) of  
30      contact opposite each face of each stud (4) showing through by depositing a conducting material (11), insulated from the substrate, on each of these faces.

8.       The method of fabricating conducting through-connections between the front face (2) and the rear  
35      face (3) of a substrate (1) as claimed in claim 7, characterized in that the physical formation of the points (10) of contact consists:



- in depositing an insulating layer (8) on the same side (2, 3) as the faces of the studs (4) showing through,

5       - in opening up a contact region (9) opposite each face of the studs (4) showing through by masking and etching of the insulating layer (8),

- in depositing a conducting layer (11) on the same side (2, 3) as the faces of the studs (4) showing through,

10       - in cutting out the points (10) of contact by masking and etching of the conducting layer (11).

9.       The method of fabricating conducting through-connections between the front face (2) and the rear face (3) of a substrate (1) as claimed in any one of  
15       claims 1 to 8, characterized in that the dielectric filling material (7) is glass.

10.       A substrate (1) of silicon equipped with conducting through-connections between its front face (2) and its rear face (3), characterized in that the  
20       conducting connections are obtained by a method as claimed in any one of claims 1 to 5.

11.       A substrate (1) of silicon on insulator, the insulating layer (13) of which is arranged between two layers (12, 14) of silicon, the substrate (1) being  
25       equipped with conducting through-connections between its front face (2) and its rear face (3), characterized in that the conducting connections are obtained by a method as claimed in claim 6 and in that the bottom of the cavities (5) consists of the insulating layer (13).

30       12.       An insulating substrate (1) equipped with conducting through-connections between its front face (2) and its rear face (3), characterized in that the conducting connections are obtained by a method as claimed in any one of claims 3 to 5.



(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION  
EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété  
Intellectuelle  
Bureau international



(43) Date de la publication internationale  
8 février 2001 (08.02.2001)

PCT

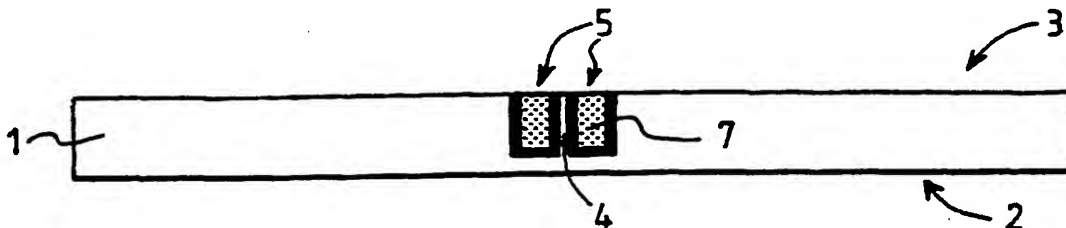
(10) Numéro de publication internationale  
WO 01/09944 A1

- (51) Classification internationale des brevets<sup>7</sup>:  
H01L 21/768, 23/48
- (72) Inventeur; et  
(75) Inventeur/Déposant (*pour US seulement*): ROBERT, Philippe [FR/FR]; Thomson-CSF Propriété Intellectuelle, Département Brevets, 13, avenue du Président Salvador Allende, F-94117 Arcueil Cedex (FR).
- (21) Numéro de la demande internationale:  
PCT/FR00/02065
- (22) Date de dépôt international: 18 juillet 2000 (18.07.2000)
- (74) Mandataire: GUERIN, Michel; Thomson-CSF Propriété Intellectuelle, Dépt. Brevets, 13, avenue du Président Salvador Allende, F-94117 Arcueil Cedex (FR).
- (25) Langue de dépôt: français
- (26) Langue de publication: français
- (81) État désigné (*national*): US.
- (30) Données relatives à la priorité:  
99/09938 30 juillet 1999 (30.07.1999) FR
- (84) États désignés (*régional*): brevet européen (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).
- (71) Déposant (*pour tous les États désignés sauf US*): THOMSON-CSF SEXTANT [FR/FR]; Aérodrome de Villacoublay, F-78140 Vélizy Villacoublay (FR).
- Publiée:  
— Avec rapport de recherche internationale.

[Suite sur la page suivante]

(54) Title: METHOD FOR PRODUCING VIA-CONNECTIONS IN A SUBSTRATE AND SUBSTRATE EQUIPPED WITH SAME

(54) Titre: PROCEDE DE FABRICATION DE CONNEXIONS TRAVERSANTES DANS UN SUBSTRAT ET SUBSTRAT EQUIPE DE TELLES CONNEXIONS



(57) Abstract: The invention concerns a method for producing conductive via-connections in a substrate and substrates equipped with such connections. The method for producing conductive via-connections between the front face (2) and the rear face (3) of a substrate consists in: producing in the substrate (1) on the side of the rear face (3), cavities (5) with predetermined depth and cross-section for defining pads (4) with specific cross-section designed to ensure electrical conduction between the two faces (2, 3) and filling up the cavities (5) with a dielectric material (7). The substrate is equipped with conductive via-connections between its front face (2) and its rear face (3). The conductive connections are provided by the pads (4) defined by the cavities (5) filled with a dielectric material (7). The invention is particularly applicable to substrates used for making microensors.

(57) Abrégé: L'invention concerne les procédés de fabrication de connexions conductrices traversantes dans un substrat et les substrats équipés de telles connexions. Le procédé de fabrication de connexions conductrices traversantes entre la face avant (2) et la face arrière (3) d'un substrat (1) consiste: à creuser dans le substrat (1), du côté de la face arrière (3), des cavités (5) ayant une profondeur et une section déterminées pour délimiter des plots (4) de section déterminée destinés à assurer la conduction électrique entre les deux faces (2, 3) et à combler les cavités (5) avec un matériau diélectrique (7). Le substrat est équipé de connexions conductrices traversantes entre sa face avant (2) et sa face arrière (3). Les connexions conductrices sont assurées par des plots (4) délimités par des cavités (5) comblées avec un matériau diélectrique (7). Application, en particulier, à des substrats utilisés pour la fabrication de micro-capteurs.

WO 01/09944 A1



*En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.*

## **Procédé de fabrication de connexions traversantes dans un substrat et substrat équipé de telles connexions**

5 L'invention concerne un procédé de fabrication de connexions conductrices traversantes entre la face avant et la face arrière d'un substrat ainsi qu'un substrat équipé de telles connexions conductrices.

L'invention s'applique notamment à des substrats destinés à accueillir une structure micro-électronique, telle qu'un capteur, une tête  
10 magnétique, un micro-actionneur, ou destinés à accueillir un circuit micro-électronique.

Le substrat peut être électriquement conducteur (par exemple en silicium, en polysilicium) ou isolant (par exemple en céramique).

Les connexions conductrices traversantes permettent d'assurer  
15 des contacts électriques discrets entre la face avant et la face arrière d'un substrat semiconducteur, isolant ou conducteur.

L'utilisation de connexions conductrices traversantes permet :

- de densifier le nombre de contacts électriques,
- d'assurer des contacts électriques sur un empilement de  
20 substrats,
- d'alimenter les composants par la face arrière du substrat lorsque le câblage ne peut pas être fait en face avant.

La technique couramment utilisée pour fabriquer ces connexions conductrices consiste à percer le substrat de part en part (par exemple par tir  
25 laser), à isoler électriquement le trou (dans le cas d'un substrat semiconducteur ou conducteur) et à remplir le trou par un matériau conducteur.

Dans la plupart des applications, le remplissage des trous doit être total pour permettre une reprise de contact électrique aisée, pour continuer  
30 les étapes technologiques concernant les faces avant et arrière après la fabrication des connexions conductrices et pour permettre une reprise de contact électrique après un éventuel amincissement du substrat en fin de procédé.

Le remplissage se fait généralement par une pâte conductrice  
35 injectée sous pression (méthode utilisée pour réaliser les boîtiers micro-électroniques). Bien qu'efficace, cette technique est assez « violente » et

génère des défauts sur les faces du substrat (éclats, rugosité, fissures, contraintes...). Cette technique peut même entraîner une perte d'isolation dans le cas de substrats semiconducteurs. Par ailleurs, la pâte est composée de particules métalliques mélangées à une solution à base de polymères et de solvants. Cette solution, qui sert de liant, doit être éliminée après remplissage. Cette élimination produit un retrait non négligeable du matériau conducteur qui peut être à l'origine de trous, responsables de perte de conduction. La pâte peut également être à l'origine de pollution, les polymères s'éliminant difficilement.

10 D'autres techniques ont été envisagées, en particulier celles décrites dans le document « Electrical Interconnections Through Semiconductor Wafers » de T.R. Anthony publié dans la revue Journal Application of Physic 52(8) d'août 1981. Il s'agit :

- de l'utilisation de procédés d'électrolyse qui conduisent  
15 généralement à un remplissage superficiel du trou dû à des problèmes de mouillage et à des effets de bord ou,

- du remplissage par un métal en fusion. Cette technique pose des problèmes de dilatation thermique. Les métaux à bas point de fusion (inférieur à la température de ramollissement du substrat) présentent un fort  
20 coefficient de dilatation thermique, souvent bien supérieur au substrat. Il en résulte des difficultés d'ordre mécanique (contraintes) ou technologique (risque de fissuration des couches déposées).

Un des buts de l'invention est de pallier les inconvénients précités.

A cet effet, l'invention a pour objet un procédé de fabrication de  
25 connexions conductrices traversantes entre la face avant et la face arrière d'un substrat. Le procédé consiste :

- à creuser dans le substrat, du côté de la face arrière, des cavités ayant une profondeur et une section déterminées pour délimiter des plots de section déterminée destinés à assurer la conduction électrique entre  
30 les deux faces et,

- à combler les cavités avec un matériau diélectrique.

L'invention a également pour objet un substrat équipé de connexions conductrices traversantes entre sa face avant et sa face arrière. Les connexions conductrices sont constituées par des plots délimités par le



creusement de cavités, dans la face arrière du substrat. Ces cavités sont comblées par un matériau diélectrique.

Le procédé consiste à réaliser les connexions conductrices traversantes en délimitant dans le substrat (semi-conducteur, isolant ou

5 conducteur) des plots qui vont servir de passages conducteurs entre la face arrière et la face avant du substrat. La délimitation est effectuée en creusant des cavités. Les cavités sont comblées par un matériau diélectrique pour assurer la tenue mécanique et l'isolation électrique des plots.

L'usage d'un isolant, comme matériau de remplissage des cavités

10 creusées, présente l'avantage d'offrir un coefficient de dilatation thermique proche de celui des substrats couramment utilisés en micro-électronique.

En outre, après remplissage, un amincissement du substrat sur les deux faces permet d'enlever les courts-circuits dus au substrat et les surplus du matériau de remplissage.

15 L'invention a en outre pour avantage qu'elle permet :

- une reprise de contact électrique simple, même après amincissement du substrat, et

- une très bonne isolation électrique des passages conducteurs.

Le substrat peut être isolant (par exemple en céramique) ou

20 faiblement conducteur (par exemple un semi-conducteur faiblement dopé). Dans ces cas un dépôt métallique est fait ou peut être fait sur les plots avant remplissage des cavités afin d'assurer la conductivité électrique des plots.

Dans le cas de l'utilisation d'un substrat silicium de type silicium sur isolant plus connu par le sigle SOI, abréviation des termes anglo-saxons

25 Silicon on Insulator, l'amincissement du substrat destiné à couper les courts-circuits après remplissage peut être remplacée par une gravure des couches de silicium et d'oxyde du côté de la face avant pour rendre les plots débouchants.

Un substrat, équipé de connexions conductrices traversantes

30 obtenues par un procédé selon l'invention, peut intervenir pour délimiter une enceinte. Le substrat peut permettre d'effectuer un scellement de l'enceinte de manière à ce que l'atmosphère dans l'enceinte soit parfaitement connue avec, en particulier, une pression pouvant être utilisée comme pression de référence. L'étanchéité de l'enceinte n'est en rien affectée par les connexions

35 conductrices traversantes constituées par les plots. En effet, d'une part, les

connexions conductrices traversantes obtenues par un procédé selon l'invention laissent la face avant du substrat parfaitement plane et, d'autre part, le matériau diélectrique comble la cavité de manière totalement hermétique. La possibilité de pouvoir effectuer un scellement joue un rôle primordial, en particulier pour la fabrication de micro-capteurs.

D'autres caractéristiques et avantages de l'invention apparaîtront à l'aide de la description qui suit. La description est faite en regard des figures annexées qui représentent :

- la figure 1, un substrat à l'issue d'une première étape du procédé,
- la figure 2, une loupe sur un plot,
- la figure 3, un substrat à l'issue d'une deuxième étape du procédé,
- la figure 4, un substrat à l'issue d'une troisième étape du procédé,
- la figure 5, un substrat à l'issue d'une quatrième étape du procédé,
- la figure 6, un substrat à l'issue d'une cinquième étape du procédé,
- la figure 7, un substrat à l'issue d'une sixième étape du procédé,
- la figure 8, un substrat à l'issue d'une septième étape du procédé,
- les figures 9 à 14, les étapes du procédé mis en œuvre avec un substrat constitué d'un empilement de couches.

La figure 1 représente un substrat 1 ayant une face avant 2 et une face arrière 3. Le substrat 1 est couramment en silicium, mais il peut être d'une autre nature, en céramique par exemple. Le procédé selon l'invention s'applique aussi bien à un substrat faiblement conducteur (un semi-conducteur comme le silicium éventuellement dopé), qu'à un substrat isolant (céramique) ou bien à un substrat conducteur.

La première étape du procédé consiste à délimiter des plots 4 dans le substrat 1. Ces plots 4 sont destinés à assurer une connexion électrique à travers le substrat 1. Les plots 4 sont avantageusement formés dans le substrat 1 lui-même.

La délimitation d'un plot 4 est effectuée en creusant une cavité 5 dans la face arrière 3 du substrat 1. Suivant l'exemple de la figure 1, la cavité 5 a une section circulaire en forme de couronne. Cette couronne a une largeur  $l_d$  et un diamètre  $2 \times (l_p + l_d)$  avec une partie pleine de diamètre  $2 \times l_p$  qui constitue le plot. La cavité 5 a une profondeur  $P_d$  inférieure à l'épaisseur e du substrat 1. La section de la cavité 5 peut ne pas être circulaire, mais carré, rectangulaire, etc.... Il en est de même pour la section du plot 4 ; la section du plot pouvant être de forme différente de celle de la cavité.

Le creusement d'une cavité 5 est obtenu par des techniques connues. Une des techniques connues consiste, à l'aide d'un masque par exemple en résine ou en oxyde, à effectuer une gravure sèche anisotrope. Une autre technique connue consiste, à l'aide d'un masque, à effectuer une gravure chimique. Pour un substrat en silicium d'épaisseur  $e = 525 \mu\text{m}$ , la profondeur  $P_d$  de la cavité 5 est de l'ordre de  $300 \mu\text{m}$ . Pour un substrat en céramique le creusement est généralement effectué par un usinage mécanique du substrat.

La figure 2 est une loupe sur un plot. Le plot 4, de diamètre  $2 \times l_p$ , est délimité par la cavité 5 en forme de couronne cylindrique de largeur  $l_d$ . Par exemple, le plot 4 a un diamètre  $2 \times l_p = 50 \mu\text{m}$  et la cavité 5 une largeur  $l_d = 50 \mu\text{m}$ .

La figure 3 illustre la deuxième étape du procédé. Cette deuxième étape est optionnelle, elle est nécessaire lorsque le substrat 1 n'est pas suffisamment conducteur, par exemple pour un substrat en céramique. Cette étape consiste à effectuer le dépôt d'une couche mince conductrice 6 qui a pour fonction d'augmenter la conductivité du plot. En fonction de la technique utilisée pour effectuer le dépôt, la couche 6 est déposée uniquement sur la face arrière ou bien simultanément sur les deux faces.

La technique utilisée doit permettre un dépôt sur toute la hauteur  $P_d$  du plot. Au terme de cette étape, la surface de la face arrière, et éventuellement de la face avant, est totalement recouverte d'une couche mince conductrice ; la surface de la face arrière comprenant la surface des plots 4 jusqu'au fond des cavités 5. Une technique de dépôt chimique en phase vapeur, par exemple de tungstène (W), permet d'obtenir un dépôt d'une couche conductrice 6 conformément à la description ci-dessus. Une

teille technique est connue sous les sigles CVD, abréviation des termes anglo-saxons Chemical Vapor Deposition.

La figure 4 illustre la troisième étape du procédé. Les cavités 5 sont comblées par un matériau 7 déterminé. Le matériau 7 doit être isolant ou peu conducteur pour isoler le plot du reste du substrat 1 lorsque ce dernier est conducteur. La technique de dépôt consiste typiquement en un dépôt par fusion. Le procédé permet d'utiliser des matériaux ayant un faible coefficient de dilatation thermique. Le matériau peut avantageusement avoir un coefficient de dilatation thermique très proche de celui du silicium, dans le cas d'un substrat en silicium, tout en ayant une température de fusion inférieure à celle du silicium. Le faible coefficient de dilatation thermique permet d'éviter les problèmes ardues liés à la différence de coefficient de dilatation thermique entre le matériau de remplissage et le substrat ; problèmes auxquels sont confrontées certaines techniques de connexion connues.

Le matériau retenu peut être du verre, déposé par fusion.

Le matériau 7 assure, en plus d'une fonction d'isolation, nécessaire lorsque le substrat est conducteur, une fonction de maintien du plot 4. Le matériau 7 solidarise le plot 4 sur sa hauteur avec le substrat 1. Le matériau 7 peut, en outre, participer à la délimitation d'une enceinte étanche.

En fonction des techniques de dépôt utilisées, le matériau déposé peut recouvrir la totalité de la face arrière comme l'illustre la figure 4.

La figure 5 illustre la quatrième étape du procédé.

Cette étape permet de découvrir le substrat en retirant les couches indésirables de surface. Lorsque le diélectrique 7 déborde des cavités 5, il faut le retirer en amincissant la face arrière 3 du substrat 1. L'amincissement peut consister en un rodage, un polissage, une gravure ou une combinaison de ces différentes techniques. Le rodage consiste en une abrasion qui a pour inconvénient de laisser une surface ayant un état de surface rayé. Pour remédier à cet inconvénient, l'abrasion est suivie d'un polissage pour obtenir un état de surface lisse. Une technique de polissage est communément connue sous les sigles CMP, abréviation des termes anglo-saxons Chemical Mechanical Planarisation. Cette technique a un double effet, mécanique et chimique, qui permet d'obtenir une surface lisse. Le polissage est particulièrement important lorsqu'il n'y a pas eu la deuxième

étape. C'est-à-dire lorsqu'il n'y a pas eu de dépôt d'une couche conductrice. La gravure peut consister en une gravure sèche ou humide. Une gravure sèche met en œuvre un plasma, une gravure humide met en œuvre un bain chimique.

5 L'amincissement, ci-dessus décrit, peut permettre de retirer la couche conductrice (déposée lors de la deuxième étape), de la face arrière 3 et de la face avant 2 si la couche conductrice est présente sur cette dernière. Le retrait de la couche conductrice peut être effectué de manière indépendante ou complémentaire par une technique spécifique connue. Par  
10 exemple, par une gravure sèche ou une gravure humide. La gravure sèche peut être du type RIE, abréviation des termes anglo-saxons Reactive Ion Etching.

Au terme de la quatrième étape, le substrat comprend un ensemble de plots 4. Cet ensemble peut comprendre un seul plot 4. La  
15 densité maximale de plots pouvant être délimités dans un substrat de taille donnée dépend, en particulier, des performances de la technique de gravure utilisée lors de la première étape. Les cavités 5, comblées par un matériau diélectrique 7, assurent la tenue mécanique et l'isolation électrique des plots 4. Le matériau 7 peut, en outre, participer à la délimitation d'une enceinte  
20 étanche. L'usage d'un diélectrique, comme matériau de remplissage des cavités creusées, présente l'avantage d'offrir un coefficient de dilatation thermique proche de celui des substrats couramment utilisés en micro-électronique. Le procédé permet de résoudre les problèmes liés à la différence de coefficient de dilatation thermique entre le substrat et le  
25 matériau de remplissage. Le procédé s'affranchit, en outre, des problèmes de retrait et de pollution.

La cinquième étape, figure 6, permet d'éliminer le court-circuit entre le plot 4 et la face avant 2 du substrat 1. L'élimination est effectuée par un amincissement de la face avant suivant une technique connue. Une  
30 première technique peut consister à roder par abrasion la face avant 2 du substrat 1, une deuxième technique peut consister en une gravure sèche ou une gravure humide, une troisième technique peut consister en une combinaison de rodage, gravure et polissage. Les plots 4, éventuellement métallisés 6, sont des éléments conducteurs qui permettent d'établir des  
35 connexions électriques traversantes entre les deux faces 2, 3 du substrat 1.

La face avant 2 du substrat 1 est généralement destinée à l'implantation d'une fonction électronique ou d'une microstructure, un microcapteur par exemple. Les plots 4 permettent, par exemple, d'alimenter le microcapteur par la face arrière 3 en assurant une connexion électrique entre la face  
5 arrière 3 et des points de contact au sein du circuit du microcapteur. Les plots 4 permettent de disposer de points de contact qui n'affectent pas la planéité de la surface de la face avant 2 du substrat 1. Un substrat 1, équipé de plots 4 obtenus selon un procédé selon l'invention, peut intervenir pour délimiter une enceinte. Le substrat peut permettre d'effectuer un scellement  
10 de l'enceinte de manière à ce que l'atmosphère dans l'enceinte soit parfaitement connue avec, en particulier, une pression pouvant être utilisée comme pression de référence. L'étanchéité de l'enceinte n'est en rien affectée par les connexions conductrices traversantes constituées par les plots. En effet, à l'issue de la cinquième étape, la face avant 2 du substrat 1  
15 est parfaitement plane.

La sixième étape, figure 7, consiste à déposer une couche mince isolante 8 sur les deux faces 2, 3 du substrat 1 et à ouvrir des zones de contact 9 en regard des plots 4. Le dépôt d'une couche mince isolante 8 est effectué par une technique connue, par exemple du type plasma comme la  
20 technique connue sous le sigle PECVD, abréviation des termes anglo-saxons Plasma Enhance Chemical Vapor Deposition.

L'ouverture des zones de contact 9 peut être effectuée par masquage et gravure de la couche isolante 8. Le masquage peut être effectué par photolithographie.

25 La septième étape, figure 8, consiste à matérialiser les points 10 de contact en regard des plots 4. La matérialisation est effectuée par des techniques connues qui consistent à déposer une couche mince conductrice 11 sur les deux faces 2, 3 du substrat 1 et, à découper les points 10, par exemple par masquage et gravure de la couche conductrice 11. Le  
30 masquage peut être effectué par photolithographie.

Les figures 9 à 14 illustrent une mise en œuvre du procédé avec un substrat constitué d'un empilement de couches. Ce substrat 1 peut être de type SOI, abréviation des termes anglo-saxons Silicium On Insulator. La première couche 12 de l'empilement est composée de silicium. La face libre  
35 de la première couche correspond à la face arrière 3 du substrat. La

deuxième couche 13 de l'empilement est une couche isolante. Elle est constituée d'un oxyde de silicium. La troisième couche 14 de l'empilement est composée de silicium. Sa face libre correspond à la face avant 2 du substrat. Un substrat SOI a, par exemple, pour épaisseur :

- 5                   1<sup>ère</sup> couche : 500  $\mu\text{m}$
- 2<sup>ème</sup> couche : 0,4  $\mu\text{m}$
- 3<sup>ème</sup> couche : de 0,2  $\mu\text{m}$  à plusieurs  $\mu\text{m}$ .

La troisième couche 14 est généralement réservée à la fabrication de fonctions électroniques ou à la réalisation de microstructures, par exemple un microcapteur, un microactionneur, etc., ...

La figure 9 illustre la première étape du procédé. Suivant cette mise en œuvre les cavités 5 sont creusées jusqu'à découvrir la couche isolante 13.

Lors de la mise en œuvre du procédé avec un substrat de type SOI, la deuxième étape n'existe pas.

La figure 10 illustre la troisième étape du procédé. Le type de substrat ne modifie pas la mise en œuvre de la troisième étape ; cette étape se déroule selon la description faite en regard de la figure 4.

La figure 11 illustre la quatrième étape du procédé. Le type de substrat ne modifie pas la mise en œuvre de la quatrième étape ; cette étape se déroule selon la description faite en regard de la figure 5.

Lors de la mise en œuvre du procédé avec un substrat constitué d'un empilement de couches, en particulier du type SOI, la cinquième étape n'existe pas.

La figure 12 illustre la sixième étape du procédé. Etant donné que les plots 4 ne sont pas apparents sur la face avant 2, le dépôt de la couche mince isolante 8 est effectué seulement sur la face arrière 3. Le dépôt se déroule suivant la description faite en regard de la figure 7 avec pour limitation un dépôt sur la face arrière 3.

La figure 13 illustre la septième étape du procédé. La mise en œuvre est différente de celle décrite en regard de la figure 8 dans la mesure où les points 10 de contacts sont présents uniquement sur la face arrière 3.

Pour obtenir un plot traversant, des étapes complémentaires sont nécessaires. Elles sont illustrées par la figure 14. Elles consistent :

- à graver la troisième couche 14 et la deuxième couche 13 à partir de la face avant 2 en utilisant un masque. La gravure est effectuée jusqu'au plot 4, suivant une technique identique à celle décrite en regard de la figure 1, pour découvrir le plot et seulement une partie du diélectrique.

- 5                    - à matérialiser les points 10 de contact sur la face avant 2 suivant une technique proche de celle décrite en regard de la figure 13. Pour les points 10 de contact de la face avant, la section de gravure de la couche isolante 8 est inférieure à la section de gravure des troisième et deuxième couches du substrat.



## REVENDICATIONS

1. - Procédé de fabrication de connexions conductrices  
5 traversantes entre la face avant (2) et la face arrière (3) d'un substrat (1),  
caractérisé en ce qu'il consiste :

- à creuser dans le substrat (1), du côté de la face arrière (3),  
des cavités (5) ayant une profondeur ( $P_d$ ) et une section déterminées pour  
délimiter des plots (4) de section déterminée destinés à assurer la  
10 conduction électrique entre les deux faces (2, 3) et,  
- à combler les cavités (5) avec un matériau diélectrique (7).

2. - Procédé de fabrication de connexions conductrices  
traversantes entre la face avant (2) et la face arrière (3) d'un substrat (1)  
15 selon la revendication 1, caractérisé en ce que le comblement des cavités (5)  
consiste :

- à déposer le matériau diélectrique (7) dans les cavités (5),  
- à retirer, de la surface du substrat (1), les débordements du  
dépôt du matériau diélectrique (7) en amincissant la face arrière (3) du  
20 substrat (1) jusqu'à découvrir les plots (4).

3. - Procédé de fabrication de connexions conductrices  
traversantes entre la face avant (2) et la face arrière (3) d'un substrat (1)  
selon la revendication 1, caractérisé en ce qu'il consiste, après délimitation  
25 des plots (4) et avant le comblement des cavités (5),

- à métalliser les plots (4) en effectuant le dépôt d'une couche  
conductrice (6) sur les plots.

4. - Procédé de fabrication de connexions conductrices  
30 traversantes entre la face avant (2) et la face arrière (3) d'un substrat (1)  
selon la revendication 3, caractérisé en ce que le comblement des cavités (5)  
consiste :

- à déposer le matériau diélectrique (7) dans les cavités (5),  
- à retirer, de la surface du substrat (1), les débordements du  
35 dépôt du matériau diélectrique (7) en amincissant la face arrière (3) du  
substrat (1) jusqu'à découvrir les plots (4),

- à retirer la couche conductrice (6), de la surface du substrat (1), par un amincissement des faces (2, 3) métallisées du substrat (1).

5           5. - Procédé de fabrication de connexions conductrices traversantes entre la face avant (2) et la face arrière (3) d'un substrat (1) selon l'une quelconque des revendications 1 à 4, caractérisé en ce qu'il consiste :

10               - à amincir le substrat (1) jusqu'à découvrir le matériau diélectrique contenu dans les cavités (5) pour rendre les plots (4) débouchants sur la face avant (2) du substrat (1).

15           6. - Procédé de fabrication de connexions conductrices traversantes entre la face avant (2) et la face arrière (3) d'un substrat (1) selon l'une quelconque des revendications 1 et 2, caractérisé en ce qu'il consiste :

              - à creuser la face avant (2) du substrat (1) en regard de chaque plot jusqu'à atteindre le matériau diélectrique (7) contenu dans les cavités (5) pour rendre les plots (4) débouchants sur la face avant (2) du substrat (1).

20           7. - Procédé de fabrication de connexions conductrices traversantes entre la face avant (2) et la face arrière (3) d'un substrat (1) selon l'une quelconque des revendications 1 à 6, caractérisé en ce qu'il consiste :

25               - à matérialiser les points de contacts (10) en regard de chaque face débouchante de chaque plot (4) en déposant sur ces faces un matériau conducteur (11) isolé du substrat.

30           8. - Procédé de fabrication de connexions conductrices traversantes entre la face avant (2) et la face arrière (3) d'un substrat (1) selon la revendication 7, caractérisé en ce que la matérialisation des points de contacts (10) consiste :

              - à déposer une couche isolante (8) du côté (2, 3) des faces débouchantes des plots (4),

- à ouvrir une zone de contact (9) en regard de chaque face débouchante des plots (4) par masquage et gravure de la couche isolante (8),

5 - à déposer une couche conductrice (11) du côté (2, 3) des faces débouchantes des plots (4),

- à découper les points de contact (10) par masquage et gravure de la couche conductrice (11).

10 9. – Procédé de fabrication de connexions conductrices traversantes entre la face avant (2) et la face arrière (3) d'un substrat (1) selon l'une quelconque des revendications 1 à 8, caractérisé en ce que le matériau diélectrique (7) de comblement est du verre.

15 10. – Substrat (1) de silicium équipé de connexions conductrices traversantes entre sa face avant (2) et sa face arrière (3), caractérisé en ce que les connexions conductrices sont obtenues par un procédé selon l'une quelconque des revendications 1 à 5.

20 11. – Substrat (1) de silicium sur isolant dont la couche isolante (13) est disposée entre deux couches (12, 14) de silicium, le substrat (1) étant équipé de connexions conductrices traversantes entre sa face avant (2) et sa face arrière (3), caractérisé en ce que les connexions conductrices sont obtenues par un procédé selon la revendication 6 et en ce que le fond des cavités (5) est constitué par la couche isolante (13).

25

12. – Substrat (1) isolant équipé de connexions conductrices traversantes entre sa face avant (2) et sa face arrière (3), caractérisé en ce que les connexions conductrices sont obtenues par un procédé selon l'une quelconque des revendications 3 à 5.

**THIS PAGE BLANK (USPTO)**

FIG.1

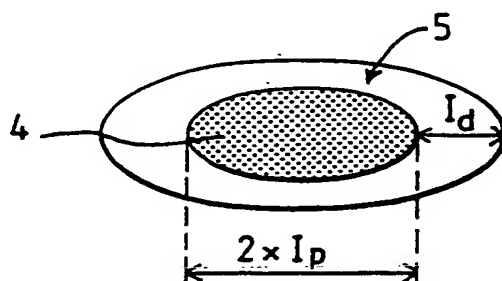
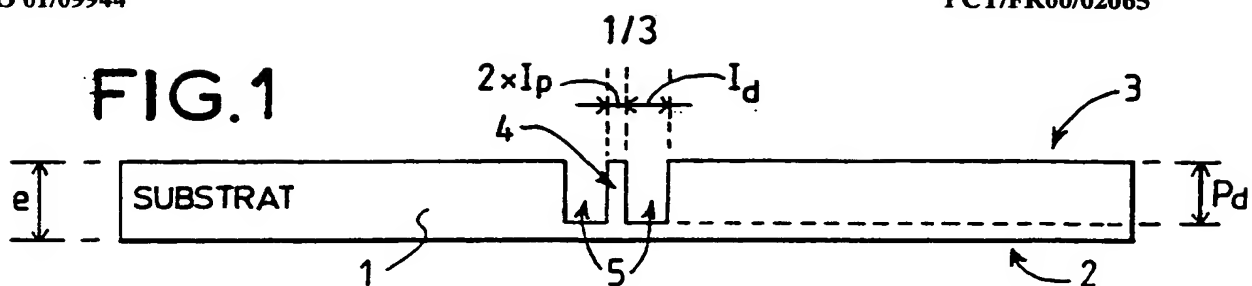
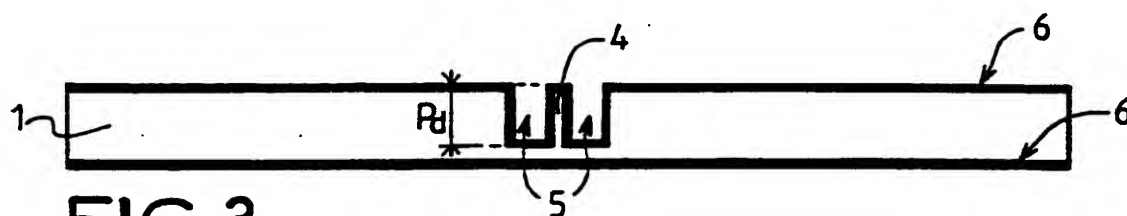


FIG. 2



**FIG.3**

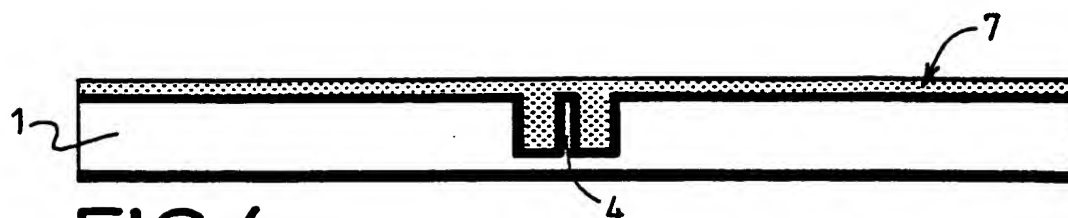
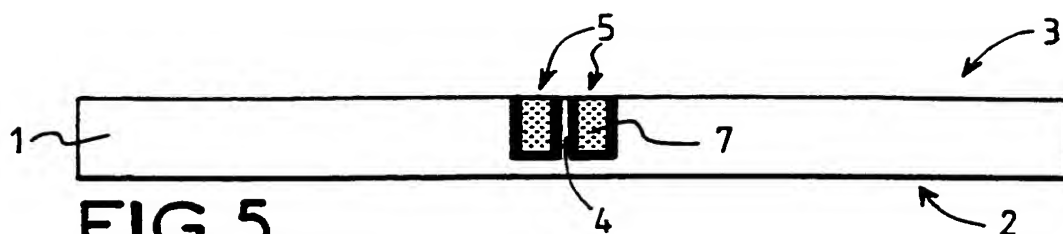
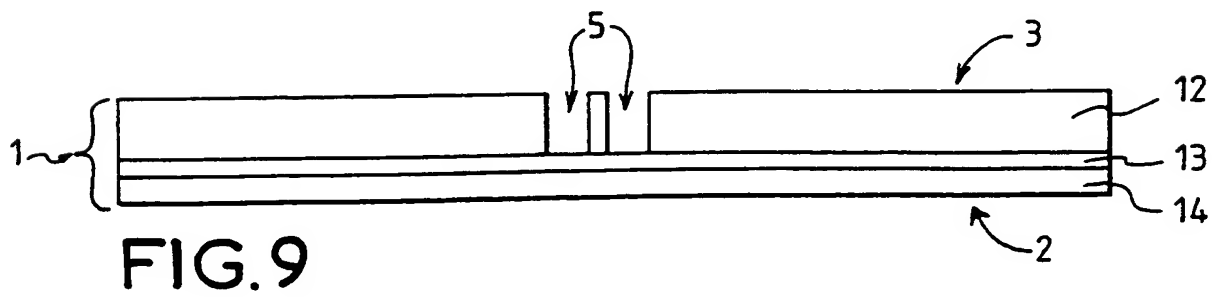
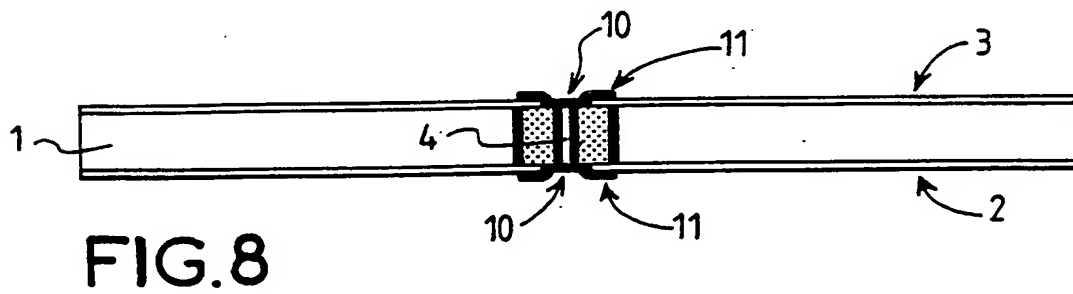
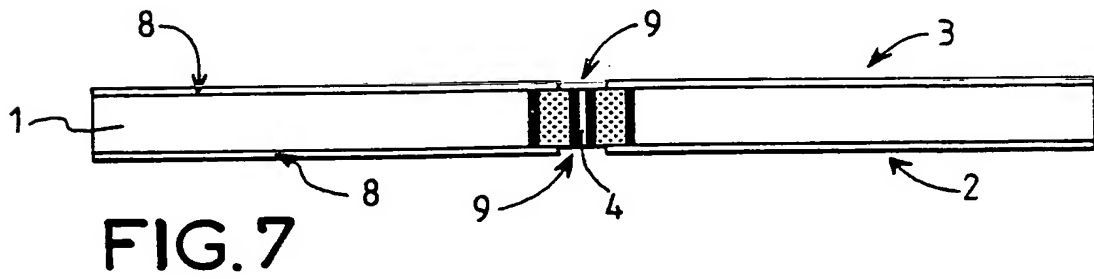
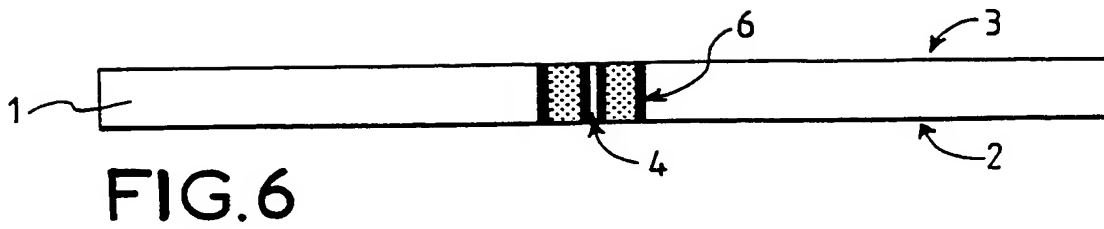


FIG.4



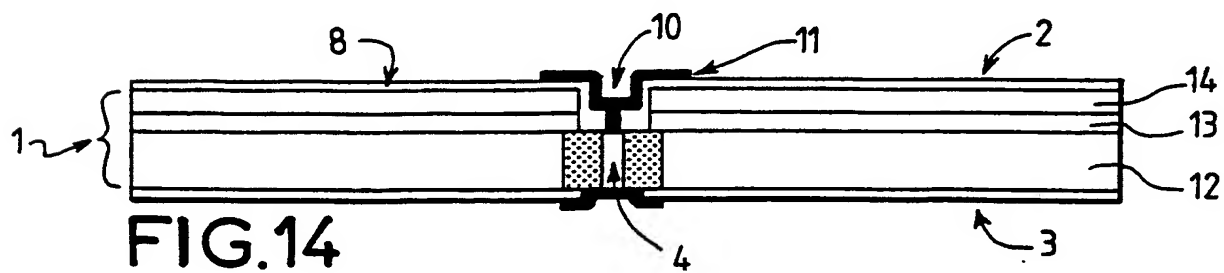
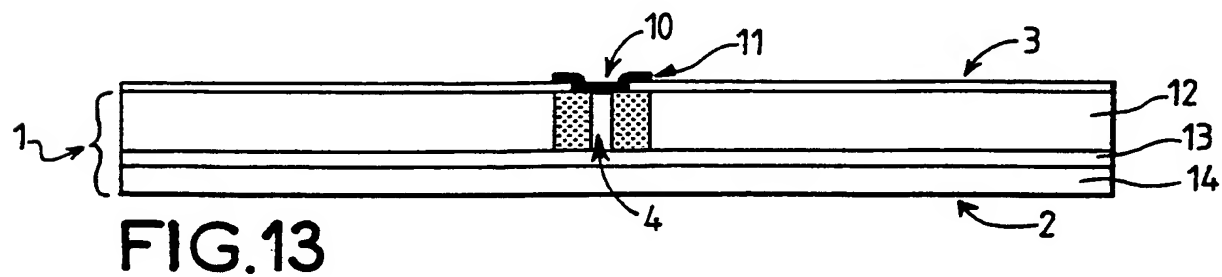
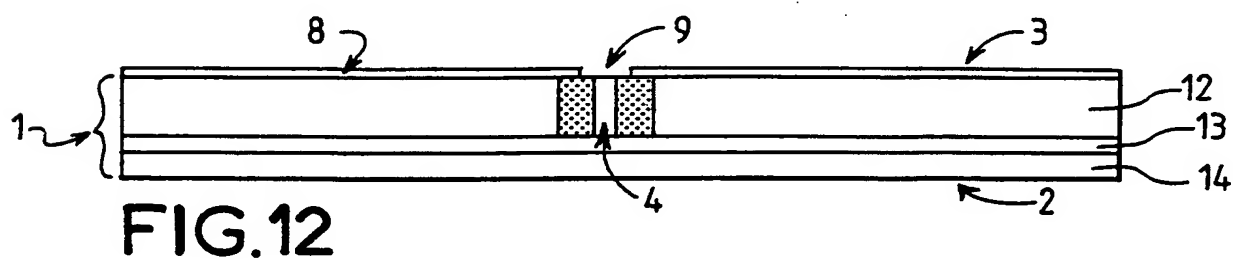
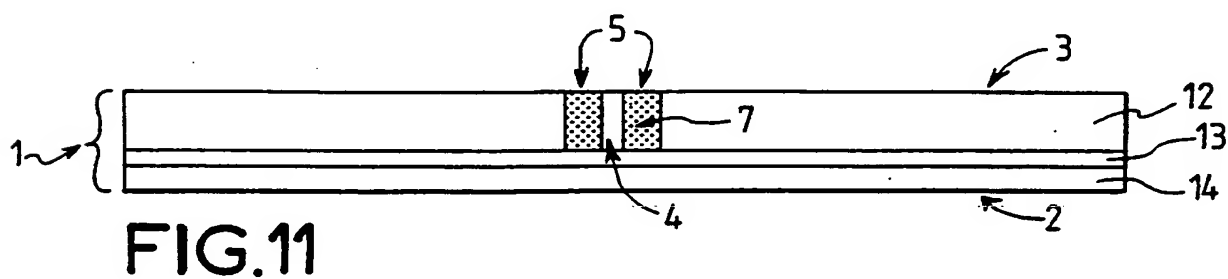
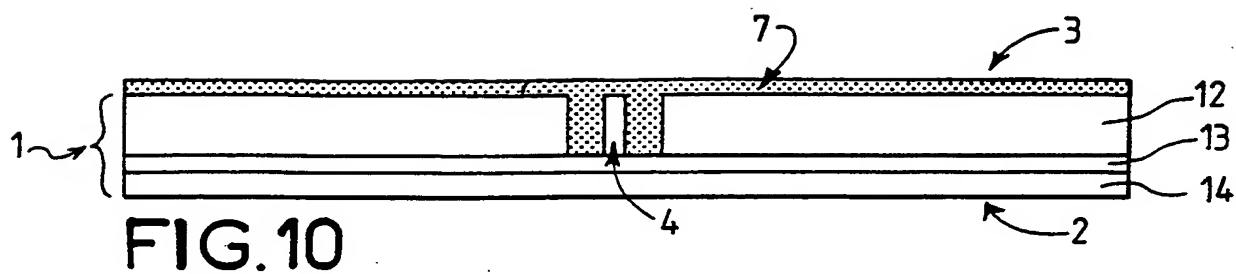
**FIG.5**

**THIS PAGE BLANK (USPTO)**



**THIS PAGE BLANK (USPTO)**





**THIS PAGE BLANK (USPTO)**

# INTERNATIONAL SEARCH REPORT

Application No  
FR 00/02065

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC 7 H01L21/768 H01L23/48		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) INSPEC, EP0-Internal, PAJ		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 926 726 A (ST MICROELECTRONICS SRL) 30 June 1999 (1999-06-30) figures 16-18	1, 10-12
A	US 4 978 639 A (CHAN SIMON S ET AL) 18 December 1990 (1990-12-18) the whole document	1, 10-12
-/-		
<div style="display: flex; justify-content: space-between;"> <span><input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.</span> <span><input checked="" type="checkbox"/> Patent family members are listed in annex.</span> </div>		
<div style="display: flex;"> <div style="flex: 1;"> <p>* Special categories of cited documents :</p> <p>"A" document defining the general state of the art which is not considered to be of particular relevance</p> <p>"E" earlier document but published on or after the international filing date</p> <p>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>"O" document referring to an oral disclosure, use, exhibition or other means</p> <p>"P" document published prior to the international filing date but later than the priority date claimed</p> </div> <div style="flex: 1;"> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.</p> <p>"&amp;" document member of the same patent family</p> </div> </div>		
Date of the actual completion of the international search  <div style="text-align: center; font-weight: bold;">14 September 2000</div>		Date of mailing of the international search report  <div style="text-align: center; font-weight: bold;">21/09/2000</div>
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer  <div style="text-align: center; font-weight: bold;">Königstein, C</div>

# INTERNATIONAL SEARCH REPORT

Internat. Application No.

PCT/FR 00/02065

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>GULDAN A ET AL: "METHOD FOR PRODUCING VIA-CONNECTIONS IN SEMICONDUCTOR WAFERS USING A COMBINATION OF PLASMA AND CHEMICAL ETCHING"</p> <p>IEEE TRANSACTIONS ON ELECTRON DEVICES,US,IEEE INC. NEW YORK, vol. ED-30, no. 10, 1 October 1983 (1983-10-01), pages 1402-1403, XP002048887</p> <p>ISSN: 0018-9383</p> <p>the whole document _____</p>	1,10-12

# INTERNATIONAL SEARCH REPORT

Information on patent family members

Patent Application No  
PCT/FR 00/02065

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0926726	A	30-06-1999	NONE	
US 4978639	A	18-12-1990	NONE	

**THIS PAGE BLANK (USPTO)**

# RAPPORT DE RECHERCHE INTERNATIONALE

internationale No  
PCT/FR 00/02065

<b>A. CLASSEMENT DE L'OBJET DE LA DEMANDE</b> CIB 7    H01L21/768    H01L23/48		
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB		
<b>B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE</b>		
Documentation minimale consultée (système de classification suivi des symboles de classement) CIB 7    H01L		
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche		
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés) INSPEC, EPO-Internal, PAJ		
<b>C. DOCUMENTS CONSIDERES COMME PERTINENTS</b>		
Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	EP 0 926 726 A (ST MICROELECTRONICS SRL) 30 juin 1999 (1999-06-30) figures 16-18	1, 10-12
A	US 4 978 639 A (CHAN SIMON S ET AL) 18 décembre 1990 (1990-12-18) le document en entier <div style="text-align: center; margin-top: 10px;">-/-</div>	1, 10-12
<div style="display: flex; justify-content: space-between;"> <span><input checked="" type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents</span> <span><input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe</span> </div>		
<div style="display: flex;"> <div style="flex: 1;"> <p>* Catégories spéciales de documents cités:</p> <p>"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent</p> <p>"E" document antérieur, mais publié à la date de dépôt international ou après cette date</p> <p>"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)</p> <p>"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens</p> <p>"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée</p> </div> <div style="flex: 1;"> <p>"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention</p> <p>"X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément</p> <p>"Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier</p> <p>"&amp;" document qui fait partie de la même famille de brevets</p> </div> </div>		
Date à laquelle la recherche internationale a été effectivement achevée <div style="text-align: center; font-weight: bold;">14 septembre 2000</div>		Date d'expédition du présent rapport de recherche internationale <div style="text-align: center; font-weight: bold;">21/09/2000</div>
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Fonctionnaire autorisé <div style="text-align: center; font-weight: bold; margin-top: 10px;">Königstein, C</div>

# RAPPORT DE RECHERCHE INTERNATIONALE

Document International No

PCT/FR 00/02065

## C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	<p>GULDAN A ET AL: "METHOD FOR PRODUCING VIA-CONNECTIONS IN SEMICONDUCTOR WAFERS USING A COMBINATION OF PLASMA AND CHEMICAL ETCHING"</p> <p>IEEE TRANSACTIONS ON ELECTRON DEVICES, US, IEEE INC. NEW YORK, vol. ED-30, no. 10, 1 octobre 1983 (1983-10-01), pages 1402-1403, XP002048887</p> <p>ISSN: 0018-9383</p> <p>le document en entier</p>	1, 10-12



**RAPPORT DE RECHERCHE INTERNATIONALE**

Renseignements relatifs aux familles de brevets

Internationale No PCT/FR 00/02065
--------------------------------------

Document brevet cité au rapport de recherche	Date de publication	Membre(s) d la famille d brevet(s)	Date d publication
EP 0926726    A	30-06-1999	AUCUN	
US 4978639    A	18-12-1990	AUCUN	

**THIS PAGE BLANK (USPTO)**